

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-148135

(43)Date of publication of application : 24.06.1991

(51)Int.Cl.

H01L 21/336

H01L 29/784

(21)Application number : 01-286509

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 02.11.1989

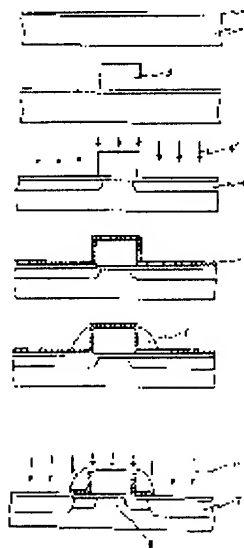
(72)Inventor : HIGUCHI TOSHIHIKO

(54) MIS SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PURPOSE: To prevent variation in the characteristics of a transistor by forming a second conductivity type low concentration impurity diffused layer in a silicon substrate under a high melting point metal film.

CONSTITUTION: A gate insulating film 2 is formed on a semiconductor substrate 1 containing a first conductivity type impurity, a gate electrode 3 made of polycrystalline silicon is formed on the part thereon, with the electrode 3 as a mask first second conductivity type ions 4' are implanted to the substrate 1, and a high melting point metal film 5 is formed on the film 2 and the periphery of the electrode 3. Then, an insulating film is formed on the film 5, the entire surface is anisotropically etched to form the sidewall 6 of the insulating film on the sidewall of the electrode 3, with it as a mask the metal 5 is etched to retain only the metal 5 on the lower part of the sidewall 6 and the side face of the electrode 3, and a second conductivity type impurity ions 7' are implanted to the substrate 1. Thus, variation in the characteristics of a transistor is prevented, and breakdown strength can be enhanced.



⑫ 公開特許公報(A) 平3-148135

⑬ Int. Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)6月24日

H 01 L 21/336
29/784

8422-5F H 01 L 29/78 3 0 1 L

審査請求 未請求 請求項の数 3 (全5頁)

⑮ 発明の名称 M I S 型半導体装置、およびその製造方法

⑯ 特 願 平1-286509

⑰ 出 願 平1(1989)11月2日

⑱ 発 明 者 樋 口 俊 彦 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

⑲ 出 願 人 セイコーエプソン株式会社 東京都新宿区西新宿2丁目4番1号

⑳ 代 理 人 弁理士 鈴木 喜三郎 外1名

明 細 書

1. 発明の名称

M I S 型半導体装置、およびその製造方法

2. 特許請求の範囲

(1) 半導体基板上にゲート絶縁膜を介して形成したゲート電極と、該ゲート電極に隣接する該半導体基板中にソース及びドレインとして形成した不純物拡散層を有する半導体装置に置いて、少なくとも半導体基板上のゲート絶縁膜と、該ゲート絶縁膜上の多結晶シリコンからなるゲート電極と、該ゲート電極の側面及び該ゲート電極に隣接するゲート絶縁膜上に形成した高融点金属膜と、ゲート電極側面で該高融点金属上の絶縁膜からなるサイドウォールとからなることを特徴とするM I S 型半導体装置。

(2) 第1の導電型の不純物を含む半導体基板上にゲート絶縁膜を形成する工程と、該ゲート絶縁膜上の一部に多結晶シリコンからなるゲート電

極を形成する工程と、該ゲート電極をマスクとして該半導体基板へ第1回目の第2の導電型の不純物イオンを注入する工程と、該ゲート絶縁膜上及びゲート電極の周囲に高融点金属膜を形成する工程と、該高融点金属膜上に絶縁膜を形成し全面を異方性エッチングする事によりゲート電極の側面に絶縁膜からなるサイドウォールを形成する工程と、該サイドウォールをマスクとして該高融点金属をエッチングすることによりサイドウォールの下部及びゲート電極の側面の高融点金属のみ残す工程と、該半導体基板に第2回目の第2の導電型の不純物イオンを注入する工程からなることを特徴とする請求項1記載のM I S 型半導体装置の製造方法。

(3) 上記第1回目の第2の導電型の不純物イオンの注入のドーズ量は第2回目の第2の導電型不純物イオンの注入のドーズ量の10分の1以下であることを特徴とする請求項2記載の半導体装置の製造方法。

3. 発明の詳細な説明



〔産業上の利用分野〕

本発明は、半導体装置の能動素子の構造及びその製造方法に関し、特にMIS (Metal-Insulator-Semiconductor) 型電界効果トランジスタ素子の構造及びその製造方法に関する。

〔従来の技術〕

従来技術のMIS型電界効果トランジスタ素子の構造において、特にトランジスタのサイズが1.2ミクロン以下の微細なトランジスタにおいては、トランジスタのサイズが微細化されたことによるドレイン端及びチャンネル部分での電界が急峻になることによるトランジスタの耐圧の低下やホットキャリア（電界により高速に加速されたキャリア）の発生及び捕獲による素子特性の変化を防ぐため、第2図(e)に示すようなLDD (Lightly Doped Drain) 構造のトラ

ンジスタを形成していた。この従来技術のLDD構造のトランジスタは、ソース及びドレインの不純物拡散層とゲート電極下部のチャンネル領域との間にソース・ドレインの不純物と同一の導電型を示す不純物の低濃度拡散層を有している。この低濃度不純物拡散層によりドレイン不純物拡散層とチャンネル領域との境界近傍での電界の集中を緩和しトランジスタの耐圧を向上させるとともに、ホットキャリアの発生を低減させていた。

また従来技術である前述のLDD構造のトランジスタを形成するためには、第2図(a)～(e)に示すような製造方法で形成され、第1の導電型の不純物を含んだシリコン基板上にゲート絶縁膜を介してゲート電極を形成した後、第2導電型の不純物を低濃度でイオン注入する。さらに該半導体装置上に絶縁膜を形成し、該絶縁膜を異方性エッチングする事により絶縁膜によるサイドウォールを形成した後、第2導電型の不純物を高濃度でイオン注入することによりソース・ドレインを形成する工程からなる製造方法を用いていた。

-3-

〔発明が解決しようとする課題及び目的〕

しかしながら、前述の従来技術の半導体装置は第2図(e)に示すように、ソース・ドレインの不純物と同一導電型の低濃度不純物拡散層が絶縁膜からなるサイドウォールの下にある。このためLDD構造においても多少発生するホットキャリアがサイドウォール下部のゲート絶縁膜中に捕獲されることによる電荷のため低濃度不純物拡散層のキャリア密度が変化しトランジスタの特性の変化が顕著になる問題を有していた。またこのトランジスタ特性の変化を抑えるためにソース・ドレインの拡散層をゲート電極下部近くまで拡散させる、あるいは低濃度不純物拡散層の濃度を高くするとLDD構造の特徴である耐圧を高くしトランジスタを微細化できる長所が現われなくなる問題を有していた。

そこで、本発明はこのような課題を解決しようとするもので、その目的とするところは、トランジスタ特性の変化を防ぎ耐圧の高い微細MIS型

半導体装置の構造および半導体装置の製造方法を提供するところにある。

〔課題を解決するための手段〕

本発明の半導体装置は、半導体基板上にゲート絶縁膜を介して形成したゲート電極と、該ゲート電極に隣接する該半導体基板中にソース及びドレインとして形成した不純物拡散層を有する半導体装置に置いて、少なくとも半導体基板上のゲート絶縁膜と、該ゲート絶縁膜上の多結晶シリコンからなるゲート電極と、該ゲート電極の側面及び該ゲート電極に隣接するゲート絶縁膜上に形成した高融点金属膜と、ゲート電極側面と該高融点金属上の絶縁膜からなるサイドウォールとからなることを特徴とする。

また、第1の導電型の不純物を含む半導体基板上にゲート絶縁膜を形成する工程と、該ゲート絶縁膜上の一部に多結晶シリコンからなるゲート電極を形成する工程と、該ゲート電極をマスクとして該半導体基板へ第1回目の第2の導電型の不純

-5-

-6-

物イオンを注入する工程と、該ゲート絶縁膜上及びゲート電極の周囲に高融点金属膜を形成する工程と、該高融点金属膜上に絶縁膜を形成し全面を異方性エッチングする事によりゲート電極の側面に絶縁膜からなるサイドウォールを形成する工程と、該サイドウォールをマスクとして該高融点金属をエッチングすることによりサイドウォールの下部及びゲート電極の側面の高融点金属のみ残す工程と、該半導体基板に第2回目の第2の導電型の不純物イオンを注入する工程からなることを特徴とする。

さらに上記第1回目の第2の導電型の不純物イオンの注入のドーズ量は第2回目の第2の導電型不純物イオンの注入のドーズ量の10分の1以下であることを特徴とする。

【実施例】

第1図(a)～(g)は本発明の実施例であり、本発明の半導体装置の製造方法を工程を追って示した図である。以下この図にしたがって本発明を

実施例として説明する。

第1図(a)に示すように第1の導電型の不純物を含む半導体基板1上のゲート絶縁膜2を形成する。本実施例では第1の導電型の不純物としてホウ素を例に取り半導体基板としては 10^{17} cm^{-3} 程度の濃度のホウ素を不純物として含んだシリコン単結晶基板を用いるものとする。またゲート絶縁膜として本実施例では100Åのシリコン酸化膜を用いるものとする。

このゲート酸化膜上に多結晶シリコンを堆積し、フォトリソ・エッチング技術により第1図(b)に示すように所望のゲート電極3を形成する。本実施例ではこのゲート電極の膜厚を3000Åとする。この多結晶シリコンは導電性を持つためにリンなどの不純物を含んでいてもかまわない。

つぎに前記の半導体基板にゲート電極をマスクとして第1回目の第2の導電型の不純物のイオン注入4'を行ない第1図(c)に示すように低濃度の第2導電型不純物拡散層4を形成する。本実施例では第2導電型の不純物としてリンを用い不純

-7-

物イオンのドーズ量としては $2 \times 10^{13} \text{ cm}^{-2}$ とする。この不純物のドーズ量はトランジスタを形成するプロセス条件により $5 \times 10^{12} \text{ cm}^{-2}$ から $1 \times 10^{14} \text{ cm}^{-2}$ の範囲が適当である。

次に第1図(d)に示すように半導体基板全面に高融点金属膜5を形成する[第1図(e)]。ここでは高融点金属の一例としてタングステンを500Åスパッタ法により堆積することにする。

さらに高融点金属膜上に絶縁膜を堆積し異方性エッチングによりゲート電極側面にサイドウォール6を形成する。ここでは低温のCVD(化学的気相成長)法による SiO_2 を主成分とする膜を4000Å形成し、フロン系ガスのプラズマによるRIE(Reactive Ion Etch)による異方性エッチングにより SiO_2 の膜厚が厚くなったゲート電極側面にサイドウォールを形成する。

この後第1図(f)のようにサイドウォールをマスクにして表面にでている高融点金属をエッチングする。このエッチングはサイドウォールとゲ

ート電極の間の高融点金属及びサイドウォールとゲート絶縁膜の間の高融点金属が残るようにすればよいので化学薬品によるエッチングでもよいが本実施例としてはエッチングの制御性やサイドウォール形成のためのエッチングからの連続の処理のためフロン系ガスのプラズマによるエッチングを用いた。このエッチングにおいて SiO_2 、高融点金属、シリコンの相互のエッチング選択性のためそれぞれのプラズマによるエッチングのガス組成比や圧力、プラズマの強さを先のサイドウォール形成のためのエッチング条件と変えても特に本実施例ではかまわない。

この半導体基板に第2回目の第2導電型の不純物イオンの注入7'を行なう。この不純物注入は 10^{15} cm^{-2} から 10^{18} cm^{-2} のドーズ量で行なうことにより第1図(g)のようにゲート電極の両側にソース及びドレインの高濃度の不純物拡散層7が形成される。本実施例では第2回目の第2導電型の不純物として砒素を用い $5 \times 10^{15} \text{ cm}^{-2}$ のドーズ量でイオン注入した後ハロゲンランプに

-8-

-9-

-10-

よる高速加熱によるアニールにより不純物の拡散を行ないソース・ドレインの高濃度不純物拡散層7を形成した。

以上実施例として述べてきた本発明の半導体装置の製造方法により第1図(g)に示すようなゲート電極側面及びゲート電極に隣接するゲート絶縁膜上に高融点金属膜を有する本発明のMIS型半導体装置が形成された。

以上述べてきたような本発明の半導体装置は第1図(g)に示すように高融点金属膜の下シリコン基板中に第2導電型の低濃度不純物拡散層が形成されているので、従来技術における課題であったところのサイドウォール下部のゲート絶縁膜中へのホットキャリアの捕獲によるトランジスタ特性の変化が顕著であるという問題は、ゲート絶縁膜上に形成した高融点金属の電圧で低濃度不純物拡散層のキャリアを制御することによりトランジスタ特性の変化を小さくできる。

また本発明の半導体装置はゲート絶縁膜上に形成された多結晶シリコンからなるゲート電極の側

面とゲート電極に隣接するゲート絶縁膜上即ち絶縁膜からなるサイドウォールの下に高融点金属膜を有する構造であり、前記の実施例でも述べてきたように高融点金属膜の形成はサイドウォール絶縁膜のエッチングにひきつづき行なわれるエッチングにより自己整合的に形成されるため工程も簡単でエッチングの制御性もよい。

さらに高融点金属膜は多結晶シリコンからなるゲート電極と接触しているため電氣的導通によりゲート電極と同電位である。従ってゲート電極の電位を変化させる場合この高融点金属膜は配線の一部としても作用する。このことは半導体装置を動作させた場合、配線としてのゲート電極が従来技術の半導体装置のゲート電極に比べ低抵抗となり高速な動作においても有利になることがわかる。

[発明の効果]

以上述べたように、本発明によれば以下に列挙するような効果を有する。

(1) LDD構造におけるサイドウォール下部の

-11-

低濃度不純物拡散層をゲート電極と同電位の高融点金属により制御するため、従来技術の半導体装置に比べホットキャリアの捕獲によるトランジスタ特性の変化を10分の1以下に少なくでき、半導体装置の寿命を従来技術の半導体装置の寿命に対して1桁以上延ばすことができた。また本発明の構造により半導体装置の特性変動が少なくなり信頼性の高い半導体装置ができる。

(2) ゲート電極の側面及びサイドウォール下部に形成した高融点金属によりゲート電極の配線抵抗を従来技術の多結晶シリコン電極に対し10分の1に低減しているため、半導体装置の高速動作に対して有利であり、また配線としても使用できるため設計の自由度が向上している。

本発明の半導体装置の製造方法は以上に述べたような効果を従来技術の製造方法に対して工程を複雑にする事なく形成している点についても特筆するところである。

4. 図面の簡単な説明

-13-

第1図(a)～(g)は、本発明の半導体装置の製造方法を工程を追って示した半導体装置の断面図。

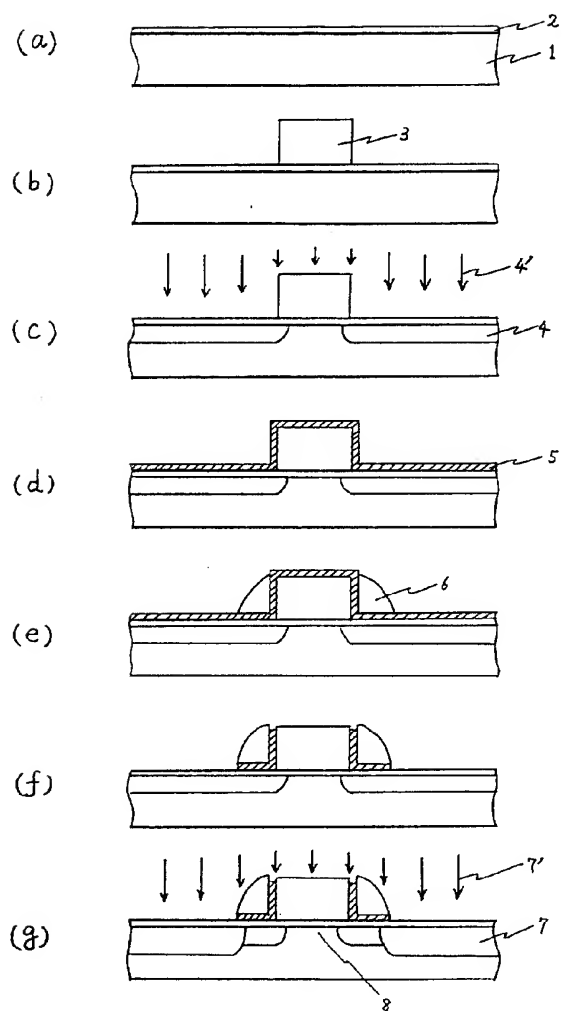
第2図(a)～(e)は、従来技術の半導体装置の製造方法を工程を追って示した半導体装置の断面図。

- 1 … 第一の導電型の不純物を含む半導体基板
- 2 … ゲート絶縁膜
- 3 … 多結晶シリコンからなるゲート電極
- 4 … 低濃度の第2導電型不純物拡散層
- 4' … 第1回目の第2導電型不純物イオン注入
- 5 … 高融点金属膜
- 6 … 絶縁膜からなるサイドウォール
- 7 … 高濃度の第2導電型不純物拡散層
- 7' … 第2回目の第2導電型不純物イオン注入
- 8 … トランジスタのチャンネル部分

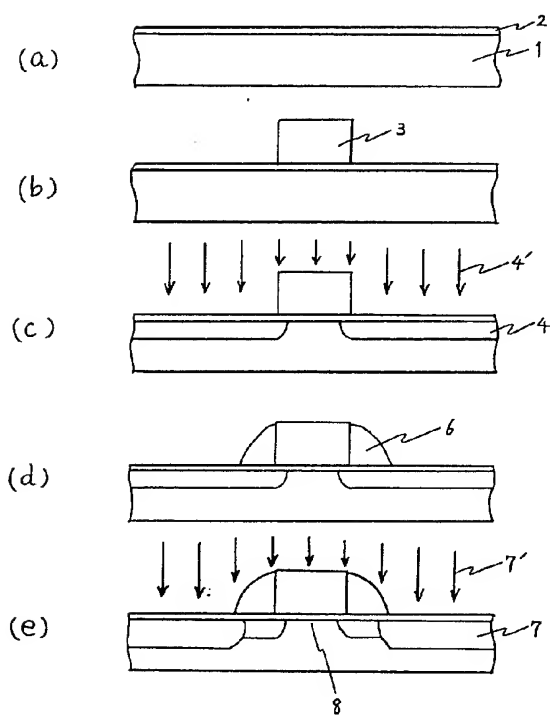
以上

出願人 セイコーエプソン株式会社
代理人弁理士 鈴木喜三郎(他1名)

-14-



第 1 図



第 2 図